

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-157899
 (43)Date of publication of application : 05.07.1991

(51)Int.CI.

G11C 29/00
 G11C 11/413
 H01L 21/82
 H01L 27/04
 H01L 27/10

(21)Application number : 01-298039

(71)Applicant : NEC CORP

(22)Date of filing : 15.11.1989

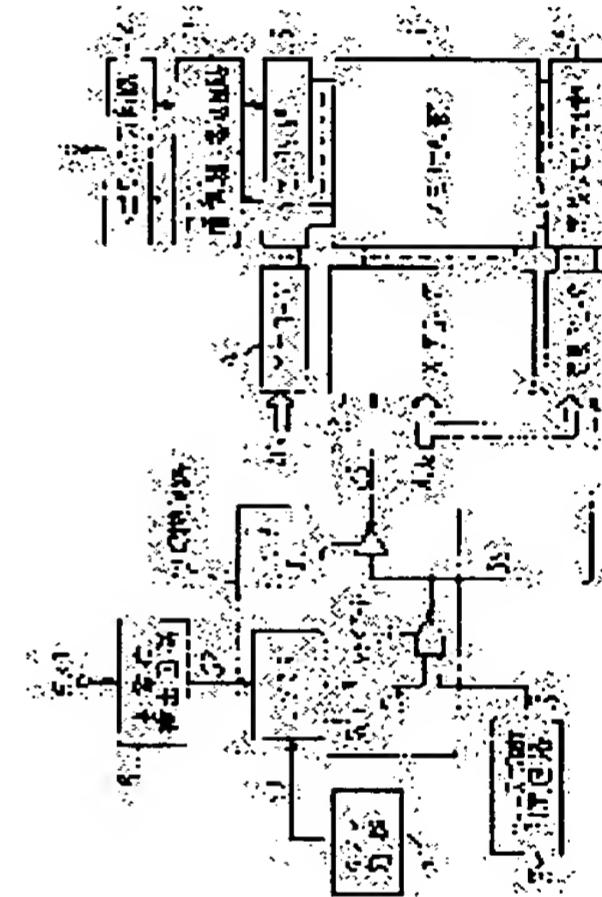
(72)Inventor : KATO YASUSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To prevent test contents from being limited by providing a switching circuit which holds a 1st activation signal at active level and a 2nd activation signal at inactive level.

CONSTITUTION: Before an internal test signal varies to the active level the active-level period of a timer signal S3 after being initialized to the active-level period of the timer signal S3, the 1st activation signal S5 is held at the inactive level and the 2nd activation signal S6 is held at the active level and inactive level according to the active level and inactive level of a redundancy switching signal S1. After the internal test signal S2 reaches the active level, the 1st activation signal is held at the active level and the 2nd activation signal S6 is held at the inactive level. For example, even when an external test signal EXT is inputted by utilizing one of input terminals for address signals ADX and ADY, those input terminals can be tested while put back to the inputs of address signals ADX and ADY. Consequently, the test contents are never limited.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-157899

⑬ Int. Cl.⁵
G 11 C 29/00
11/413
H 01 L 21/82
27/04
27/10

識別記号 301 B
厅内整理番号 7737-5B
T 7514-5F
8624-5F
8323-5B
8225-5F

G 11 C 11/34
H 01 L 21/82

341 C
R

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 公開 平成3年(1991)7月5日

⑮ 発明の名称 半導体記憶装置

⑯

⑰ 特 願 平1-298039

⑱ 出 願 平1(1989)11月15日

⑲ 発明者 加藤 康史 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代理人 弁理士 内原 晋

特開 H03-157899 ①

【産業上の利用分野】

メモリセル部を有する半導体記憶装置に関する

【発明の目的】

テスト内容が制限されるのを防止することができる半導体記憶装置を提供する

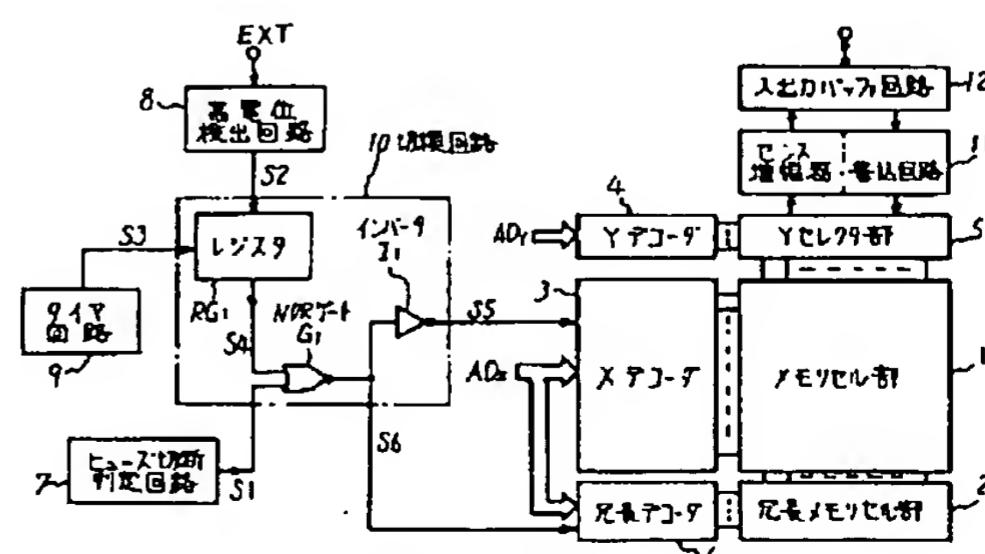
【発明の効果】

第1の活性化信号を能動レベルに、第2の活性化信号を非能動レベルに保持する切換回路を設けた構成とすることにより、外部テスト信号をアドレス信号や制御信号の入力端子を利用して入力する場合でも、この入力端子の入力をアドレス信号や制御信号に戻してテストを続行できる

特許請求の範囲

複数のメモリセルを備えたメモリセル部と、冗長用の複数のメモリセルを備えた冗長メモリセル部と、第1の活性化信号が能動レベルのとき活性化しアドレス信号に従って前記メモリセル部の所定のメモリセルを選択する選択回路と、第2の活性化信号が能動レベルのとき活性化し前記アドレス信号に従って前記冗長メモリセル部の所定のメモリセルを選択する冗長選択回路と、選択された前記メモリセル部のメモリセルが不良メモリセルであるとき冗長切換信号を能動レベルとする冗長切換判定回路と、能動レベルが通常の動作電圧より高い電圧の外部テスト信号が能動レベルにあるとき内部テスト信号を能動レベルとする高電位検出回路と、電源投入時から所定の期間だけ能動レベルとなるタイマ信号を発生するタイマ回路と、前記タイマ信号の能動レベルの期間に初期化さ

れ、前記タイマ信号の能動レベルの期間を経過した後、前記内部テスト信号が能動レベルとなる前の期間は前記冗長切換信号の能動レベル、非能動レベルに応じて前記第1の活性化信号を非能動レベル、能動レベルに、前記第2の活性化信号を能動レベル、非能動レベルにし、前記内部テスト信

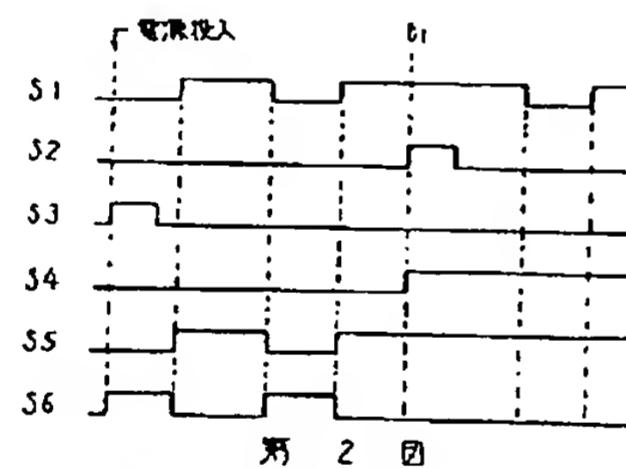


号が能動レベルになった後は前記第1の活性化信号を能動レベルに、第2の活性化信号を非能動レベルに保持する切換回路とを有することを特徴とする半導体集積回路。

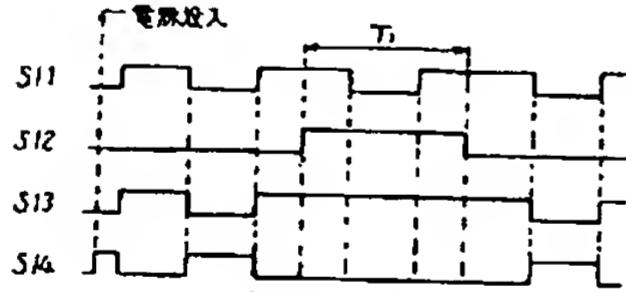
図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、第2図は第1図に示された実施例の動作を説明するための各部信号のタイミング図、第3図は本発明の第2の実施例を示すブロック図、第4図は従来の半導体記憶装置の一例を示すブロック図、第5図は第4図に示された半導体記憶装置への動作を説明するための各部信号のタイミング図である。

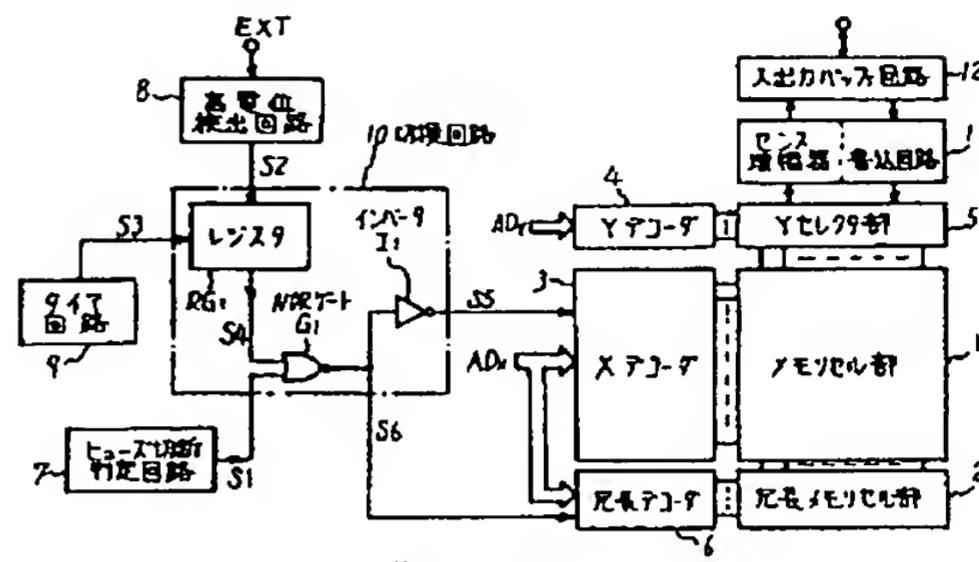
1…メモリセル部、2，2_A…冗長メモリセル部、3，3_A…Xデコーダ、4，4_A…Yデコーダ、5…Yセレクタ部、6，6_A…冗長デコーダ、7…ヒューズ切断判定回路、8…高電位検出回路、9…タイマ回路、10…切換回路、11…センス増幅器・書込回路、12…入出力バッファ回路、13…冗長セレクタ部、G₁…NORゲート、I₁…インバータ、RG₁…レジスタ。



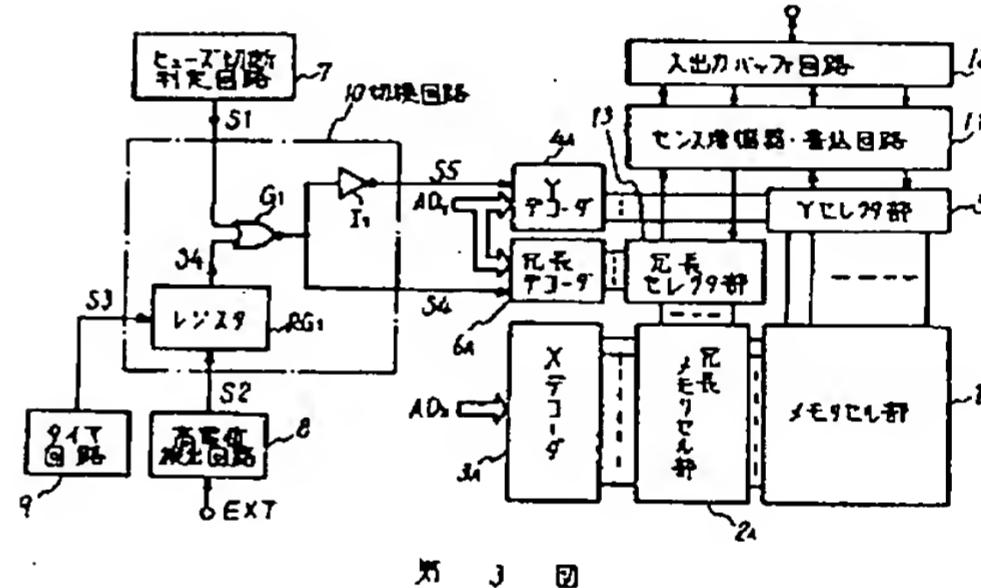
第 2 図



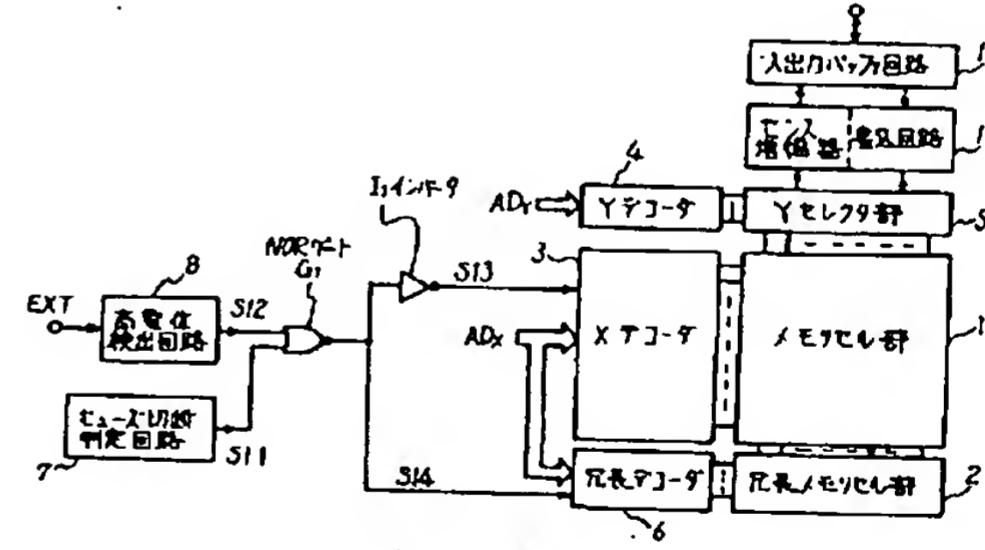
第 5 図



第 1 図



第 3 図



第 4 図